

⑫ 公開特許公報(A)

2
昭63-272118⑤ Int. Cl.⁴H 03 K 17/00
H 04 Q 3/52

識別記号

庁内整理番号

A-7190-5J
A-8627-5K

⑬ 公開 昭和63年(1988)11月9日

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 LSI化デジタル空間スイッチ

⑮ 特 願 昭62-104213

⑯ 出 願 昭62(1987)4月30日

⑰ 発 明 者 橋 田 光 好 神奈川県横浜市戸塚区戸塚町216番地 株式会社日立製作所戸塚工場内

⑱ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑲ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1 発明の名称

LSI化デジタル空間スイッチ

2 特許請求の範囲

1 M本の入力回線とN本の出力回線との間を任意に接続すべく、等価的にM入力1出力のセレクトタをN個用いて構成されるM入力N出力のLSI化デジタル空間スイッチであって、M入力1出力のセレクトタを構成するM個の素子の出力はワイヤードオアされたうえ、該セレクトタ近傍に配されたバッファを介し該当出力回線対応の出力ピン上に出力される構成を特徴とするLSI化デジタル空間スイッチ。

2 M個の素子と1個のバッファとが1列状に配置されるに際し、列中でのバッファの配置位置は該当出力回線対応の出力ピン位置近傍とされる特許請求の範囲第1項記載のLSI化デジタル空間スイッチ。

3 発明の詳細な説明

〔産業上の利用分野〕

本発明は、入力回線数がM、出力回線数がNとされたLSI化デジタル空間スイッチに係り、特にM入力1出力のセレクトタをN個用いデジタル空間スイッチを構成するに際し、各セレクトタの出力はバッファを介し該当出力ピン上に出力されるようにしたLSI化デジタル空間スイッチに関するものである。

〔従来の技術〕

これまでにM入力、N出力のデジタル空間スイッチを構成するに際しては、スイッチ素子をマトリックス状に配置する方式と、M本の入力のうち、1本を選択するセレクトタをN回路分配置する方式とが考えられている。ここで、スイッチ素子をマトリックス状に配置することによって構成されたデジタル空間スイッチを第3図に示す。スイッチ素子 S_{ij} 、 j ($i=0 \sim M-1$, $j=0 \sim N-1$)はその導通時、入力 I_i としてのデジタル信号を出力 O_j に伝達する機能を有するが、デジタル空間スイッチのLSI化に際しては通常スイッチ素子 S_{ij} はスリーステートバッファ

により実現されるものとなっている。スリーステートバッファ各々の出力は、出力回線毎にバス接続され、恰もM入力1出力のセレクト出力として該当出力ピン上に出力されるようになっているわけである。このような出力ピンへの出力態様はM入力1出力のセレクトをN個用いる場合も同様となっている。なお、この種デジタル空間スイッチに関連するものとしては、例えば特開昭60-201795号公報が挙げられるものとなっている。〔発明が解決しようとする問題点〕

さて、出力がワイヤードオア可とされたスイッチ素子によってデジタル空間スイッチをLSIとして構成する場合の問題点としては、出力ピンがLSIチップの周辺にあることから、出力回線の数が多くなる程にバス線の長さを一定に維持し得なくなり、その長さが長くなるということである。したがって、スリーステートバッファ各々としてもその長さに応じた充分な駆動能力をもつ必要があり、そのためにはスリーステートバッファとしての出力MOSTランジスタを大きくする必

要を生じ、チップの面積がその分増加するというものである。例えば、出力ピンまでの配線が長くなったため、各スリーステートバッファに要される駆動容量が2倍になった場合、その駆動能力も約2倍にする必要があり、スリーステートバッファとしてはその面積が2倍となるものである。この結果チップの面積もまた $2((2 \times M) \times N) \div (M \times N)$ 倍となるものである。

本発明の目的は、出力回線の数が多い場合でもチップ面積が小さく抑えられるLSI化デジタル空間スイッチを供するにある。

〔問題点を解決するための手段〕

上記目的は、M入力1出力のセレクト各々の出力はバッファを介し該当出力ピン上に出力されることで達成される。

〔作用〕

M入力1出力のセレクトと該当出力ピンとの間にはバッファがそのセレクト近傍に介在されることから、出力ピンの位置とは無関係にバス線の長さを短く維持し得るものである。この結果セレクト

を構成するスリーステートバッファとしてもその駆動容量が小さくて済まされ、チップ面積の増加もまた抑えられるものである。

〔実施例〕

以下、本発明を第1図、第2図により説明する。

先ず第1図により本発明によるLSI化デジタル空間スイッチの概要について説明すれば、図示のようにデジタル信号である入力 $I_0 \sim I_{M-1}$ はともにM入力1出力のセレクト $SL_1 \sim SL_N$ に共通に入力され、セレクト $SL_1 \sim SL_N$ 各々では入力 $I_0 \sim I_{M-1}$ より何れか1つが選択出力されるが、選択出力された入力は更にバッファ BF_j ($j=0 \sim N-1$)を介し出力 O_j として現われ、該出力回線対応の出力ピン上に出力されるようになっているものである。バッファ BF_j がセレクト本体近傍に設けられる場合はセレクト本体はバッファ BF_j のみを駆動すればよく、該当出力ピンはバッファ BF_j によって駆動されることから、セレクト本体を構成するスイッチ素子の駆動能力は小さくて済まされるものである。

さて、第2図はセレクト SL_{j+1} を構成するスイッチ素子 $So, j \sim S_{M-1}$, j およびバッファ BF_j の望ましい配置例を示したものである。図示のように、バッファ BF_j はM個のスイッチ素子 $So, j \sim S_{M-1}$, j と同一列に配置されるが、同一列に配列する場合はバッファ BF_j は列内の何れの位置にあっても列としての長さは変わらないことになる。よって、バス線の長さを一定に保ちつつバッファ BF_j を該当出力ピン近傍位置に配置することが可能となるものである。

ここで、チップ面積の増加について考察すれば、その増加分はバッファ分のみであり、バッファはせいぜいスイッチ素子と同一面積であるから、チップ面積の増加はセレクト当たり1となる。即ち、チップ面積は $((M+1) \times N) \div (M \times N) = 1 + \frac{1}{M}$ 倍となる。通常、 $M \gg 1$ であるため、従来技術に比しチップ面積の増加は少なくて済まされることになる。

〔発明の効果〕

以上説明したように本発明によれば、LSI化

-デジタル空間スイッチのチップ面積が、出力回路が多い場合でも小さく抑えられるという効果がある。

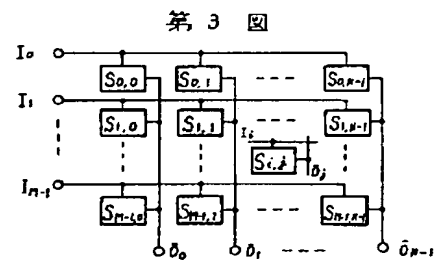
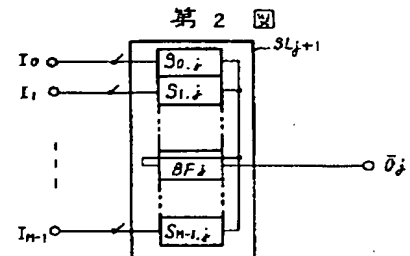
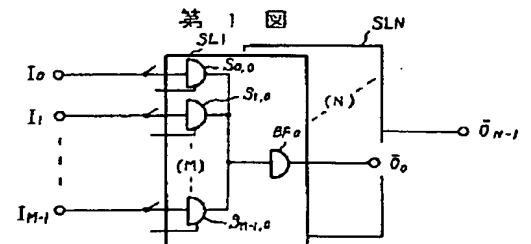
4. 図面の簡単な説明

第1図は、本発明によるLSI化デジタル空間スイッチの概要を示す図、第2図は、セクタ各々での望ましい素子配置様様を示す図、第3図は、従来技術に係るデジタル空間スイッチの構成を示す図である。

SL_{j+1} ($j=0 \sim N-1$) …セクタ、

BF_j …バッファ、

$So,j \sim Sm-1,j$ …スイッチ素子(スリーステートバッファ)。



代理人弁理士 小 川 勝 男